



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0029746
Application Number

출원 년 월 일 : 2003년 05월 12일
Date of Application MAY 12, 2003

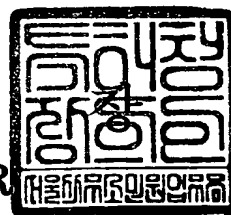
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 06 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【제출일자】 2003.05.12
【발명의 명칭】 반도체 소자의 고저항 영역 형성 방법
【발명의 영문명칭】 Method of forming a high resistive region in a semiconductor device
【출원인】
【명칭】 (주)하이닉스 반도체
【출원인코드】 1-1998-004569-8
【대리인】
【성명】 신영무
【대리인코드】 9-1998-000265-6
【포괄위임등록번호】 1999-003525-1
【발명자】
【성명의 국문표기】 최경근
【성명의 영문표기】 CHOI, Kyeong Keun
【주민등록번호】 651119-1229617
【우편번호】 442-744
【주소】 경기도 수원시 팔달구 영통동 황골마을 벽산아파트 223동 1604호
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 신영무 (인)
【수수료】
【기본출원료】 18 면 29,000 원
【가산출원료】 0 면 0 원
【우선권주장료】 0 건 0 원
【심사청구료】 10 항 429,000 원
【합계】 458,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 반도체 소자의 고저항 영역 형성 방법에 관한 것으로, 2단계 또는 다단계 식각 공정으로 인덕터가 형성될 영역에 하부의 폭이 더 넓은 트렌치와 같은 패턴을 형성하고, 절연물질의 충진력 특성을 이용하여 트렌치 하부의 가장자리에 빈공간(Air gap)을 형성하면서 트렌치를 절연물질로 매립하여 고저항 영역을 용이하게 형성함으로써, 인덕터에 의해 기판에 와류(Eddy current)가 발생하는 것을 최대한 억제하여 에너지 손실을 최소화할 수 있는 반도체 소자의 고저항 영역 형성 방법이 개시된다.

【대표도】

도 2g

【색인어】

RF 소자, 인덕터, 와류, 기판 저항, 에너지 손실,

【명세서】**【발명의 명칭】**

반도체 소자의 고저항 영역 형성 방법{Method of forming a high resistive region in a semiconductor device}

【도면의 간단한 설명】

도 1은 동일 기판 상에 형성된 능동소자 및 수동소자로 이루어진 RF CMOS의 예를 보여주는 입체도이다.

도 2a 내지 도 2g는 본 발명의 실시예에 따른 반도체 소자의 고저항 영역 형성 방법을 설명하기 위한 소자의 단면도들이다.

<도면의 주요 부분에 대한 부호의 설명>

201 : 반도체 기판 201a : 트렌치

202 : 마스크 패턴 203 : 절연층

204 : 공기층, 에어 갭 205 : 고저항 영역

206 : 제1 층간 절연막 207 : 제1 인덕터층

208 : 제2 층간 절연막 209 : 비아 플러그

210 : 식각 방지막 211 : 제3 층간 절연막

212 : 제2 인덕터층 형성 영역 213 : 제2 인덕터층

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <11> 본 발명은 반도체 소자의 고저항 영역 형성 방법에 관한 것으로, 특히 반도체 기판에 형성된 소자와 기판과의 와류를 감소시켜 에너지 손실을 최소화할 수 있는 반도체 소자의 고저항 영역 형성 방법에 관한 것이다.
- <12> CMOS RF 기술은 직접변환방식(Direct conversion) 등을 이용하여 RF를 기저대역 수준으로 낮게 떨어뜨려 일반적인 CMOS 공정으로도 RF칩을 제조할 수 있게 한다. 이는, 베이스밴드와 RF를 하나의 칩에 통합하는 핵심기술로써, 무선통신 기기용 시스템-온-칩(System on chip; SoC)의 개발을 가능케 한다. 시스템-온-칩을 위해서는 능동소자와 수동소자를 하나의 반도체 기판 상에 일괄 공정으로 형성하여 고주파 집적회로를 제작해야 한다. 이러한 고주파 집적회로 제작할 때 미약한 신호의 증폭, 주파수 변환 등의 기능을 수행할 수 있는 부품을 이용하여 고주파 시스템의 소형 경량화는 물론 사용 부품의 수를 대폭 줄임으로서 생산 수율을 증가시킬 수 있다.
- <13> 도 1은 동일 기판 상에 형성된 능동소자 및 수동소자로 이루어진 RF CMOS의 예를 보여주는 입체도이다. 도 1에 도시된 바와 같이, 반도체 기판 상에 능동소자와 수동소자뿐만 아니라, 단위 소자와의 전기적 연결까지 일괄공정으로 동시에 형성되므로, 종래의 고주파 회로 기판에 비해 크기가 작고 신뢰성이 높으며 특성이 균일하다. 또한, 개별부품의 패키지가 따로 필요 없으므로 개별 부품을 사용하여 고주파 회로를 제작하는 경우에 비해 제작단가를 낮출 수 있으며

무선통신기기의 시장 경쟁력을 높일 수 있는 것으로 알려져 있다. 즉, 고주파 회로의 제작을 위해 종래에는 세라믹 기판 등에 개별 부품인 능동소자 및 수동소자를 장착한 고주파 회로기판을 사용하였으나, 무선 시스템이 소형화되고 대량 생산됨에 따라 회로기판이 반도체 기판으로 대체되고 있다.

<14> 이렇게, RF CMOS소자는 크게 능동소자와 수동소자로 구분되는데, 수동소자에는 저항, 인덕터, 커패시터가 있으며, 능동소자와 수동소자간의 배선이 포함될 있다. 여기서, 수동소자의 특성은 정의된 구조와 크기의 표준소자로부터 RF 특성을 측정하고, 등가회로 파라미터를 추출하고 특성규칙을 도출하여 데이터로 제공된다. 이때, 인덕터는 일반적으로 나선형 구조로 제작되는데, 금속의 선폭과 간격, 나선수 등에 따른 특성이 변한다. 그리고, 이러한 특성은 RF CMOS 소자에서 등가회로 파라미터를 추측하고 특성규칙을 도출하여 데이터로 제공된다.

<15> 수동 소자인 인덕터는 RF 소자에서 기파노가의 와류(Eddy current) 등으로 인하여 에너지 손실(Quality factor; Q 감소)이 발생된다. 이를 방지하기 위하여, 10ohm-cm 이상의 고저항 실리콘 기판(High resistive Si substrate), SOI, SOS, Quartz 기판 상에 인덕터를 형성하고 있다. 그러나, 이러한 기술은 기판을 새롭게 구입하거나 여러 복잡한 기술을 필요로 하는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<16> 따라서, 본 발명은 상기의 문제점을 해결하기 위하여 2단계 또는 다단계 건식 식각과 습식 식각의 조합으로 식각 공정을 수행하여 인덕터가 형성될 영역에 하부의 폭이 더 넓은 트렌치와 같은 패턴을 형성하고, 절연물질의 층덮힘 특성을 이용하여 트렌치 하부의 가장자리에 빈

공간(Air gap)을 형성하면서 트렌치를 절연물질로 매립하여 고저항 영역을 용이하게 형성함으로써, 인덕터에 의해 기판에 와류(Eddy current)가 발생하는 것을 최대한 억제하여 에너지 손실을 최소화할 수 있는 반도체 소자의 고저항 영역 형성 방법을 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

- <17> 본 발명의 실시예에 따른 반도체 소자의 고저항 영역 형성 방법은 반도체 기판의 소정 영역에 하부의 폭이 더 넓은 트렌치를 형성하는 단계, 및 절연 물질의 증착힘 특성을 이용하여 트렌치의 하부 가장자리에 빈 공간을 발생시키면서 트렌치를 절연층으로 매립하는 단계를 포함한다.
- <18> 상기에서, 트렌치를 형성하는 단계는, 반도체 기판 상에 마스크 패턴을 형성하는 단계와, 1차 식각 공정으로 반도체 기판을 소정 깊이만큼 식각하여 트렌치를 형성하는 단계와, 수직 및 수평 방향으로의 2차 식각 공정으로 트렌치를 목표 깊이로 형성하면서 하부를 상부보다 넓게 형성하는 단계, 및 마스크 패턴을 제거하는 단계를 포함한다. 이때, 1차 식각 공정 시 폴리머가 발생되면서 트렌치의 측벽에 증착되어 2차 식각 공정 시 식각 방지막의 역할을 한다. 이러한, 1차 식각 공정은 건식 식각 공정으로 진행하고, 2차 식각 공정은 습식 식각 공정으로 진행하는 것이 바람직하다. 한편, 1차 식각 공정은 RIE 반응기에서 300W 내지 2000W의 전력을 인가하고 염소가 포함된 식각 가스를 사용하여 실시할 수 있다. 또한, 2차 식각 공정은 $\text{HNO}_3:\text{HF}:\text{H}_2\text{O}$ 로 이루어진 혼합된 용액을 식각제로 사용할 수 있다.
- <19> 절연층은 형성은 종래 기술을 이용하며 이때 절연층은 SOD (spin on dielectric) 박막과 CVD 박막 모두가 사용 될 수 있다. 일례로 CVD막은 TEOS 산화막으로 형성되며, CVD 반응기에

서 온도를 300 내지 500??로 유지하면서 화학기상 증착법으로 증착되어 층덮힘 특성으로 인하여 트렌치의 하부 가장자리에는 형성되지 않으면서 트렌치로 매립된다.

<20> 트렌치를 매립하기 전에, 트렌치의 내면을 포함한 기판 상에 SiN 박막을 증착할 수도 있다.

<21> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명하기로 한다. 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예는 본 발명의 개시가 완전하도록 하며 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 한편, 도면상에서 동일 부호는 동일한 요소를 지칭한다.

<22> 도 2a 내지 도 2g는 본 발명의 실시예에 따른 반도체 소자의 고저항 영역 형성 방법을 설명하기 위한 소자의 단면도들이다.

<23> 도 2a를 참조하면, 소자 분리 영역이나 저항값을 높이기 위한 영역(이하, '고저항 영역'이라 함)이 정의된 마스크 패턴(202)을 반도체 기판(201) 상에 형성한다. 이후, 1차 식각 공정으로 고저항 영역의 반도체 기판(201)을 식각하여 트렌치(201a)를 형성한다.

<24> 만일, 인덕터를 포함하는 수동 소자와 능동 소자로 이루어진 고주파 직접회로를 동일한 기판 상에 구현하는 경우라면, 인덕터에 의해 기판(201)에 와류(Eddy current)가 발생하는 것을 방지하기 위하여 인덕터가 형성될 영역을 고저항 영역으로 정의할 수 있다.

<25> 상기에서, 고저항 영역을 정의하기 위한 마스크 패턴(202)은 포토레지스트 패턴으로 형성할 수도 있으며, 패드 산화막과 패드 질화막의 적층 구조 패턴으로 형성할 수도 있다. 이때,

마스크 패턴(202)의 두께는 반도체 기판(201)의 두께에 따라 결정된다. 예로써, 반도체 기판(201)의 두께가 10 μ m인 경우 기판과 마스크 패턴 식각 선택도를 고려하여 마스크 패턴(202)은 3 μ m 내지 4 μ m의 두께로 형성한다.

<26> 한편, 1차 식각 공정은 건식 식각 공정으로 진행할 수 있으며, 반도체 기판(201)을 4 μ m 내지 6 μ m만큼 식각한다. 건식 식각 공정은 RIE(Reactive Ion Etch) 반응기에서 300W 내지 2000W의 전력(8인치 웨이퍼 기준)을 인가하고 염소(Cl_2)가 포함된 식각 가스를 사용하여 실시할 수 있다. 이때, 염소가 포함된 식각 가스로는 10 내지 300sccm의 Cl_2 와, 100 내지 1000sccm의 Ar과, 5 내지 100sccm의 O_2 가 혼합된 가스를 식각 가스로 사용할 수 있다.

<27> 도 2b를 참조하면, 고저항 영역을 보다 깊게 식각하면서 측면 방향으로도 식각이 진행되도록 2차 식각 공정을 실시한다. 이때, 트렌치(201a)의 측면에는 도 2a에서 실시한 1차 식각 공정 시 발생된 폴리머(도시되지 않음)가 잔류하여 식각 방지막의 역할을 하기 때문에, 2차 식각 공정 시 트렌치(201a)의 측면은 거의 식각되지 않는다. 이로 인해, 트렌치(201a)의 하부 폭이 상부 폭보다 넓어진다. 상기의 2차 식각 공정은 습식 식각으로 진행할 있으며, $\text{HNO}_3:\text{HF}:\text{H}_2\text{O}$ 로 이루어진 혼합된 용액을 식각제로 사용한다.

<28> 한편, 트렌치를 보다 깊게 형성하고자 할 경우 1차 식각 공정과 2차 식각 공정을 반복 실시하여 트렌치를 목표 깊이로 형성할 수도 있다.

<29> 도 2c를 참조하면, 마스크 패턴(도 2b의 202)을 제거한 후, 트렌치(201a)가 매립되도록 전체 상부에 절연층(203)을 형성한다. 이때, 절연층(203)의 충전재 특성을 이용하여 절연층(203)을 형성하면, 트렌치(201a) 하부의 폭이 넓어진 부분에는 절연층(203)이 매립되지 않아 빈 공간의 공기층(204)이 형성된다.

- <30> 절연층은 형성은 종래 기술을 이용하며 이때 절연층은 SOD(Spin on dielectric) 박막과 CVD 박막 모두가 사용 될 수 있다. 일례로 CVD막은 TEOS 산화막으로 형성되며, CVD 반응기에서 온도를 300 내지 500??로 유지하면서 화학기상 증착법으로 증착되어 충딕힘 특성으로 인하여 트렌치의 하부 가장자리에는 형성되지 않으면서 트렌치로 매립된다.
- <31> 구체적으로 예를 들어 설명하면, CVD 반응기에서 온도를 300 내지 500??로 유지하면서 화학기상 증착법으로 TEOS 산화막을 증착하여 절연층(203)을 형성하면, 절연층(203)의 충딕힘 특성을 이용하여 공기층(204)을 형성하면서 트렌치(201a)를 절연층(203)으로 매립할 수 있다.
- <32> 한편, 절연층(203)으로 트렌치(201a)를 매립하기 전에 SiN 박막(도시되지 않음)을 증착할 수도 있다. 이때, SiN 박막은 200 내지 1000??의 두께로 증착하는 것이 바람직하며, SiN 박막을 증착함으로써 인덕터에 의해 기판(201)에 와류(Eddy current)가 발생하는 것을 보다 더 효과적으로 방지할 수도 있다.
- <33> 도 2d를 참조하면, 평탄화 공정으로 반도체 기판(201) 상부의 절연층을 제거하여 트렌치(201a)에만 절연층(203)을 잔류시킨다. 이때, 평탄화 공정은 화학적 기계적 연마 공정으로 진행할 수 있다. 이로써, 고저항 영역(205)이 형성되며, 이러한 고저항 영역(205) 상에 인덕터를 형성하면 인덕터에 의해 기판에 와류(Eddy current)가 발생하는 것을 방지하여 에너지 손실이 발생하는 것을 방지할 수도 있다.
- <34> 이후, 반도체 기판(201)에는 능동 소자와 수동 소자가 통상의 공정으로 형성되며, 고저항 영역(205)에는 인덕터가 형성될 수 있다. 이러한 과정을 간략하게 예로써 설명하면 다음과 같다.



- <35> 도 2e를 참조하면, 통상의 공정으로 반도체 기판(201) 상에 능동 소자(도시되지 않음)와 수동 소자(도시되지 않음)를 형성한다. 능동 소자로는 도 1에 도시된 커패시터나 박막 저항이 형성될 수 있으며, 수동 소자로는 도 1에 도시된 트랜지스터가 제조될 수 있다. 이렇게 능동 소자와 수동 소자를 하면서 반도체 기판(201) 상에는 제1 층간 절연막(206)이 형성된다.
- <36> 도 2f를 참조하면, 제1 인덕터층(207)을 형성하고 제2 층간 절연막(208)을 형성한다. 이후, 고저항 영역(205) 상부의 제2 층간 절연막(208)의 소정을 식각하여 비아홀을 형성하고 전도성 물질로 매립하여 비아 플러그(209)를 형성한다. 이어서, 식각 방지막(209) 및 제3 층간 절연막(210)을 순차적으로 형성한 후, 식각 공정으로 고저항 영역(205) 상부의 제3 층간 절연막(210) 및 식각 방지막(209)을 제거하여 제2 층간 절연막(208)의 일부와 비아 플러그(209)를 노출시킨다. 이로써, 제2 인덕터층이 형성될 영역(212)이 정의된다.
- <37> 도 2g를 참조하면, 제3 층간 절연막(210) 및 식각 방지막(209)이 제거된 영역을 전도성 물질로 매립하여 제2 인덕터층(213)을 형성한다.
- <38> 본 발명은 적합한 실시예를 참조하여 설명된 본원의 특정 분야에 대해 제한되지 않으며, 오히려 본 발명의 범위는 본원의 특허 청구 범위에 의해서 이해되어야 한다.

【발명의 효과】

- <39> 상술한 바와 같이, 본 발명은 2단계 식각 공정으로 인덕터가 형성될 영역에 하부의 폭이 더 넓은 트렌치를 형성하고, 절연물질의 충진력 특성을 이용하여 트렌치 하부의 가장자리에 빈공간(Air gap)을 형성하면서 트렌치를 절연물질로 매립하여 고저항 영역을 용이하게 형성할

수 있을 뿐만 아니라, 인덕터에 의해 기판에 와류(Eddy current)가 발생하는 것을 최대한 억제하여 에너지 손실을 최소화할 수 있다.



【특허청구범위】

【청구항 1】

반도체 기판의 소정 영역에 하부의 폭이 더 넓은 트렌치를 형성하는 단계; 및

절연 물질의 증착층 특성을 이용하여 상기 트렌치의 하부 가장자리에 빈 공간을 발생시키면서 상기 트렌치를 절연층으로 매립하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 고저항 영역 형성 방법.

【청구항 2】

제 1 항에 있어서, 상기 트렌치를 형성하는 단계는,

상기 반도체 기판 상에 마스크 패턴을 형성하는 단계;

1차 식각 공정으로 상기 반도체 기판을 소정 깊이만큼 식각하여 트렌치를 형성하는 단계;

수직 및 수평 방향으로의 2차 식각 공정으로 상기 트렌치를 목표 깊이로 형성하면서 하부를 상부보다 넓게 형성하는 단계; 및

상기 마스크 패턴을 제거하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 고저항 영역 형성 방법.

【청구항 3】

제 2 항에 있어서,

상기 1차 식각 공정 시 폴리머가 발생되면서 상기 트렌치의 측벽에 증착되어 상기 2차 식각 공정 시 식각 방지막의 역할을 하는 것을 특징으로 하는 반도체 소자의 고저항 영역 형성 방법.

【청구항 4】

제 2 항에 있어서,

상기 1차 식각 공정은 건식 식각 공정으로 진행하고, 상기 2차 식각 공정은 습식 식각 공정으로 진행하는 것을 특징으로 하는 반도체 소자의 고저항 영역 형성 방법.

【청구항 5】

제 2 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 1차 식각 공정은 RIE 반응기에서 300W 내지 2000W의 전력을 인가하고 염소가 포함된 식각 가스를 사용하여 실시하는 것을 특징으로 하는 반도체 소자의 고저항 영역 형성 방법.

【청구항 6】

제 2 항 내지 제 4 항 중 어느 한 항에 있어서,

상기 2차 식각 공정은 $\text{HNO}_3:\text{HF}:\text{H}_2\text{O}$ 로 이루어진 혼합된 용액을 식각제로 사용하는 것을 특징으로 하는 반도체 소자의 고저항 영역 형성 방법.

【청구항 7】

제 2 항 내지 제 6 항에 있어서,

상기 1차 식각 공정과 상기 2차 식각 공정을 반복 실시하여 상기 트렌치를 목표 깊이로 형성하는 것을 특징으로 하는 반도체 소자의 고저항 영역 형성 방법.

【청구항 8】

제 1 항에 있어서,

상기 절연층은 TEOS 산화막으로 형성되며, CVD 반응기에서 온도를 300 내지 500??로 유지하면서 화학기상 증착법으로 증착되어 층덮힘 특성으로 인하여 상기 트렌치의 하부 가장자리에는 형성되지 않으면서 상기 트렌치로 매립되는 것을 특징으로 하는 반도체 소자의 고저항 영역 형성 방법.

【청구항 9】

제 1 항에 있어서,

상기 절연층은 SOD 또는 SOG 산화막으로 형성되며, 스�핀 코팅 산화막의 층덮힘 특성으로 인하여 상기 트렌치의 하부 가장자리에는 형성되지 않으면서 상기 트렌치로 매립되는 것을 특징으로 하는 반도체 소자의 고저항 영역 형성 방법.

【청구항 10】

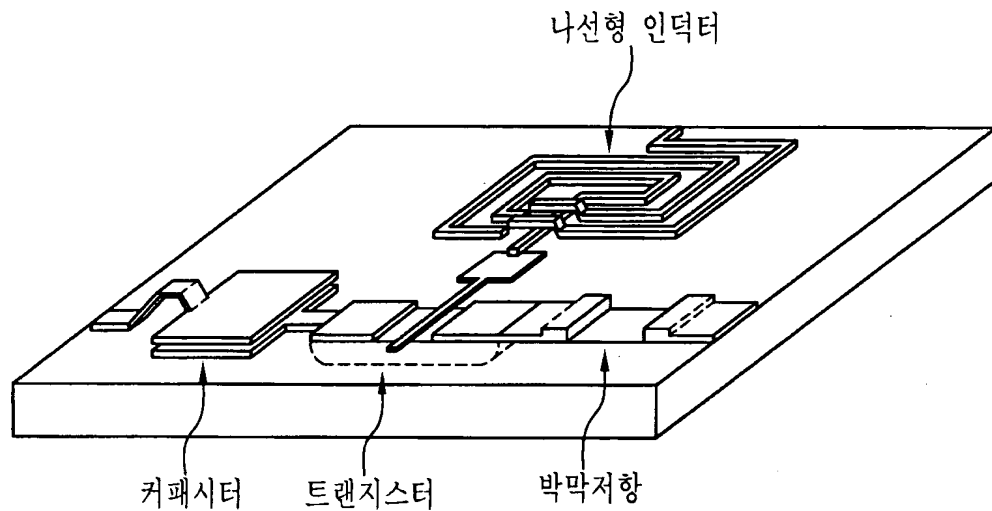
제 1 항에 있어서, 상기 트렌치를 매립하기 전에,

상기 트렌치의 내면을 포함한 기판 상에 SiN 박막을 증착하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 고저항 영역 형성 방법.

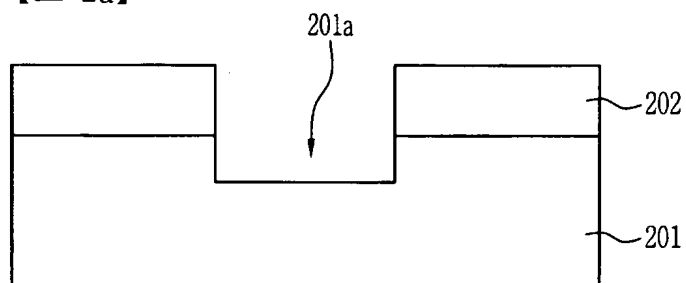


【도면】

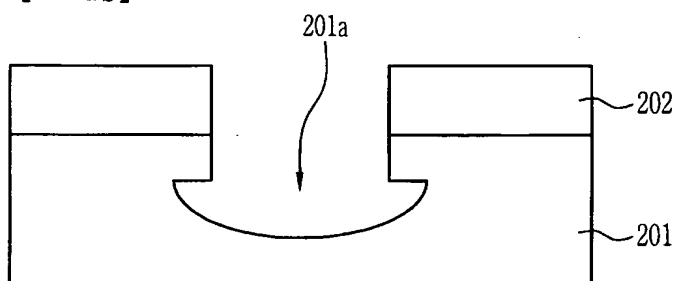
【도 1】



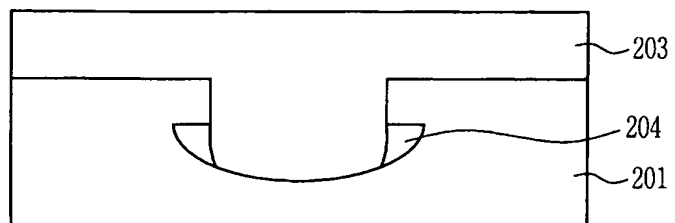
【도 2a】



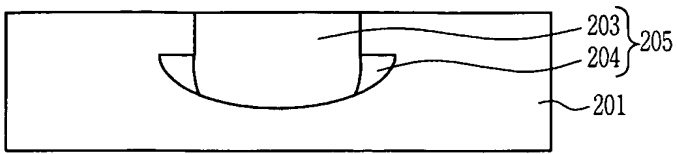
【도 2b】



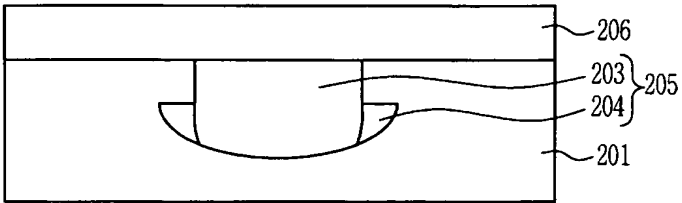
【도 2c】



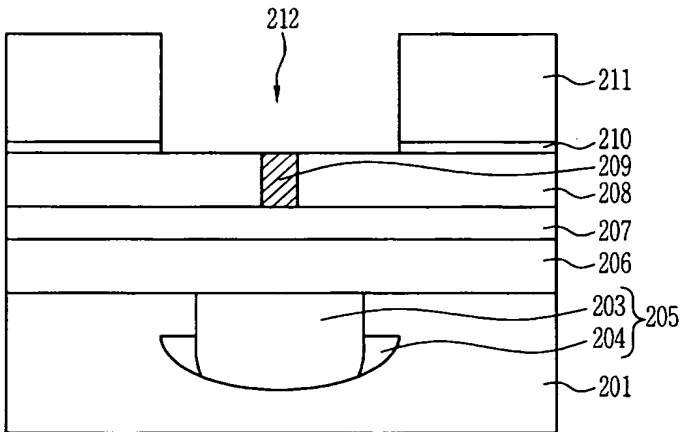
【도 2d】



【도 2e】



【도 2f】



【도 2g】

